

Programando puertos en C freescale



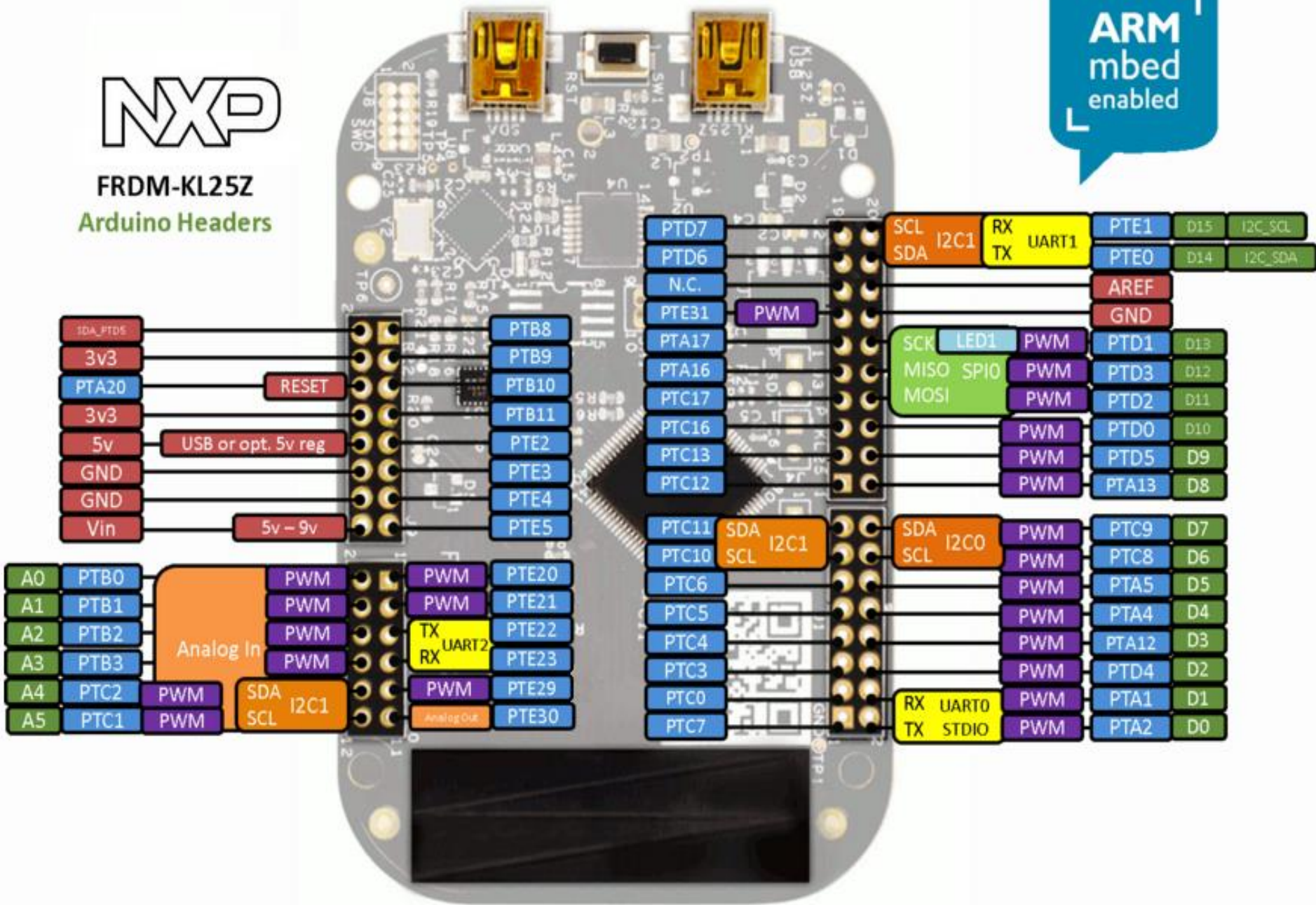
Tarea

- Investigar cómo se declaran variables en C
- Instrucciones para compuertas lógicas
- ¿Cómo se usa los ciclos? (while,for,do)
- ¿Cuál es el funcionamiento del if?





FRDM-KL25Z Arduino Headers



SIM_SCGC5

Address: 4004_7000h base + 1038h offset = 4004_8038h

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	0												0	0		
W																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	0		PORTE	PORTD	PORTC	PORTB	PORTA	1		0	TSI	0			0	LPTMR
W																
Reset	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0

Bit	Descripción
31-14	Reservados y llevan ceros
PORTE	Control para la compuerta: 0=Desactiva 1= Activa

SIM_SCGC5

Address: 4004_7000h base + 1038h offset = 4004_8038h

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	0												0	0		
W																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	0						1		0				0	0		LPTMR
W		PORTE	PORTD	PORTC	PORTB	PORTA					TSI					
Reset	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0

Bit	Descripción
PORTD	Control para la compuerta: 0=Desactiva 1= Activa
PORTC	Control para la compuerta: 0=Desactiva 1= Activa

SIM_SCGC5

Address: 4004_7000h base + 1038h offset = 4004_8038h

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	0												0	0		
W																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	0						1		0				0	0		LPTMR
W		PORTE	PORTD	PORTC	PORTB	PORTA					TSI					
Reset	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0

Bit	Descripción
PORTB	Control para la compuerta: 0=Desactiva 1= Activa
PORTC	Control para la compuerta: 0=Desactiva 1= Activa

SIM_SCGC5

Address: 4004_7000h base + 1038h offset = 4004_8038h

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	0												0	0		
W																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	0						1		0				0	0		LPTMR
W		PORTE	PORTD	PORTC	PORTB	PORTA					TSI					
Reset	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0

Bit	Descripción
PORTA	Control para la compuerta: 0=Desactiva 1= Activa
8-7	Reservado y siempre lleva el valor de 1

SIM_SCGC5

Address: 4004_7000h base + 1038h offset = 4004_8038h

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	0												0	0		
W																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	0						1		0	TSI			0	0		LPTMR
W		ORTE	PORTD	PORTC	PORTB	PORTA					TSI					LPTMR
Reset	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0

Bit	Descripción
6	Reservado y siempre lleva 0
5	Control de acceso TSI 0 Desactiva 1 Activa

SIM_SCGC5

Address: 4004_7000h base + 1038h offset = 4004_8038h

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	0												0	0		
W																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	0						1		0				0	0		LPTMR
W		PORTE	PORTD	PORTC	PORTB	PORTA					TSI					
Reset	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0

Bit	Descripción
4-1	Reservado y siempre lleva 0
0	LPTMR Low Power Timer Access Control 0 Desactiva 1 Activa

PORTx_PCRn

Address: Base address + 0h offset + (4d × i), where i=0d to 31d

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	0							ISF	0				IRQC			
W								w1c								
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	0					MUX			0	DSE	0	PFE	0	SRE	PE	PS
W																
Reset	0	0	0	0	0	x*	x*	x*	0	x*	0	x*	0	x*	x*	x*

* Notes:

- x = Undefined at reset.

Bit	Descripción
31-25	Reservado y siempre lleva 0
24	ISF Banderas de interrupciones 0 Desactiva 1 Activa

PORTx_PCRn

Address: Base address + 0h offset + (4d × i), where i=0d to 31d

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
R	0								ISF	0				IRQC			
W									w1c								
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	

Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	0					MUX			0	DSE	0	PFE	0	SRE	PE	PS
W																
Reset	0	0	0	0	0	x*	x*	x*	0	x*	0	x*	0	x*	x*	x*

* Notes:

- x = Undefined at reset.

Bit	Descripción
23-20	Reservado y siempre lleva 0
19-16	Configuración de interrupciones

PORTx_PCRn

Bit	Descripción
19-16	Configuración de interrupciones 0000 Interrupción/DMA desactivado. 0001 DMA flanco arriba. 0010 DMA flanco decendiente. 0011 DMA cualquiera de las dos anteriores. 1000 Interrupción al existir un o logico. 1001 de interrupción en el flanco ascendente. 1010 de interrupción en el flanco descendente. 1011 Interrupción por el borde. 1100 Interrupción cuando uno lógico. Otros Reservados.

PORTx_PCRn

Address: Base address + 0h offset + (4d × i), where i=0d to 31d

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
R	0								ISF	0				IRQC			
W									w1c								
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	

Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
R	0						MUX			0	DSE	0	PFE	0	SRE	PE	PS
W																	
Reset	0	0	0	0	0	x*	x*	x*	0	x*	0	x*	0	x*	x*	x*	

* Notes:

- x = Undefined at reset.

Bit	Descripción
15-11	Reservado y siempre lleva 0
10-8	Modos de operacion

PORTx_PCRn

Bit	Descripción
10-8	Control de los pins 000 Pin disabled (analog). 001 Alternative 1 (GPIO). 010 Alternative 2 (chip-specific). 011 Alternative 3 (chip-specific). 100 Alternative 4 (chip-specific). 101 Alternative 5 (chip-specific). 110 Alternative 6 (chip-specific). 111 Alternative 7 (chip-specific).



PORTx_PCRn

Address: Base address + 0h offset + (4d × i), where i=0d to 31d

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	0							ISF	0				IRQC			
W								w1c								
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	0					MUX			0	DSE	0	PFE	0	SRE	PE	PS
W																
Reset	0	0	0	0	0	x*	x*	x*	0	x*	0	x*	0	x*	x*	x*

* Notes:

- x = Undefined at reset.

Bit	Descripción
7,5,3	Reservado y siempre lleva 0
10-8	Modos de operacion

PORTx_PCRn

Address: Base address + 0h offset + (4d × i), where i=0d to 31d

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	0							ISF	0				IRQC			
W								w1c								
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	0					MUX			0	DSE	0	PFE	0	SRE	PE	PS
W																
Reset	0	0	0	0	0	x*	x*	x*	0	x*	0	x*	0	x*	x*	x*

* Notes:

- x = Undefined at reset

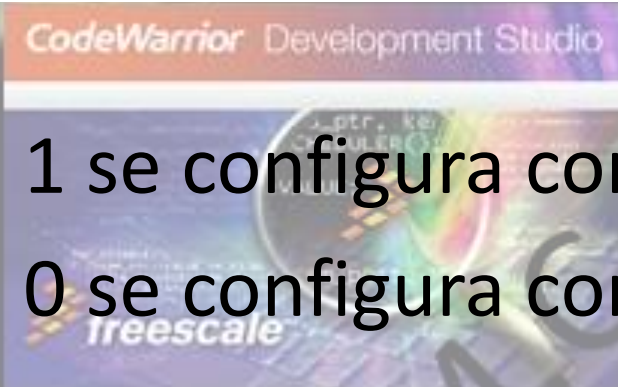
Bit	Descripción
1	Activar la resistencia pull up o pull down 0 Desactiva 1 Activa
0	Activar el tipo de pull 0 Activa pull down 1 Activar pull up

GPIOx_PDDR

- Este registro nos indica si serán configurado como salida o como entrada.

Address: Base address + 14h offset																																
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	PDD																															
W																																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	

- 1 se configura como salida
- 0 se configura como entrada



GPIOx_PDIR

- Para leer el puerto deseado.
 - valor = GPIOx_PDIR



GPIOx_PDOR

- Manda al puerto un uno en donde tenga escrito un 1 y un cero donde este escrito el cero.

Valor del puerto X	0	1	0	0	1	1	0	1
GPIOX_PDOR	1	1	0	1	1	0	0	1
Valor nuevo puerto X								



GPIOx_PTOR

- Registro que cambia los bits del puerto en donde exista 1 en el registro PTOR. Los ceros no modifica al puerto.

Valor del puerto X	0	1	0	0	1	1	0	1
GPIOX_PTOR	1	1	0	1	1	0	0	1
Valor nuevo puerto X								



GPIOx_PSOR

- Registro que manda al puerto el número 1 en donde exista 1, en el registro PSOR. En donde exista 0 no modifica al puerto.

Valor del puerto X	0	1	0	0	1	1	0	1
GPIOX_PSOR	1	1	0	1	1	0	0	1
Valor nuevo puerto X								



GPIOx_PCOR

- Registro que manda al puerto el valor de 0 en donde exista 1 en el registro PCOR. En donde exista 0 no modifica al puerto.



Valor del puerto X	0	1	0	0	1	1	0	1
GPIOX_PCOR	1	1	0	1	1	0	0	1
Valor nuevo puerto X								

Iniciando en Codewarrior 10.6

- ¿Cómo abrir un documento nuevo?
- Conociendo la interfaz del codewarrior.
- ¿Cómo importar un proyecto ya existente?



Modo GPIO

- Se activa los puertos que vayan a usar con el registro SIM_SCGC5.
- Se activa el modo GPIO con el registro PORTx_PCRn
- Activar el modo entradas y/o salidas GPIOx_PDDR
- Instrucciones para manipular el puerto: GPIOx_PSOR, GPIOx_PCOR, GPIOx_PTOR, GPIOx_PDOR

Programas

- Hacer un programa el cual encienda los 3 LED del micro pero no simultáneamente.
- ¿Cómo se corre paso por paso?



TIMERS



Características de un TPM

- El modo de reloj TPM incluye como características:
 - Puede incrementar en cada desbordamiento del reloj asíncrono
 - Puede incrementar en franco de subido de un reloj externo síncrono del reloj contador asíncrono.
- Puede dividirse por 1,2,4,8,16,32,64 o 128
- TPM incluye un contador de 16-bit .
 - Puede correr libremente o usarse como contador.
 - Puede ir en forma ascendente y descendente.

Características de un TPM

- Incluye 6 canales los cuales pueden ser configurados para capturar una entrada, comparar una salida o en modo PWM.
 - Para una entrada puede ser en franco de subida, franco de bajada o ambas.
 - Comparar una salida puede ser un 1, 0, un pulso.
 - Todos los canales pueden ser PWM

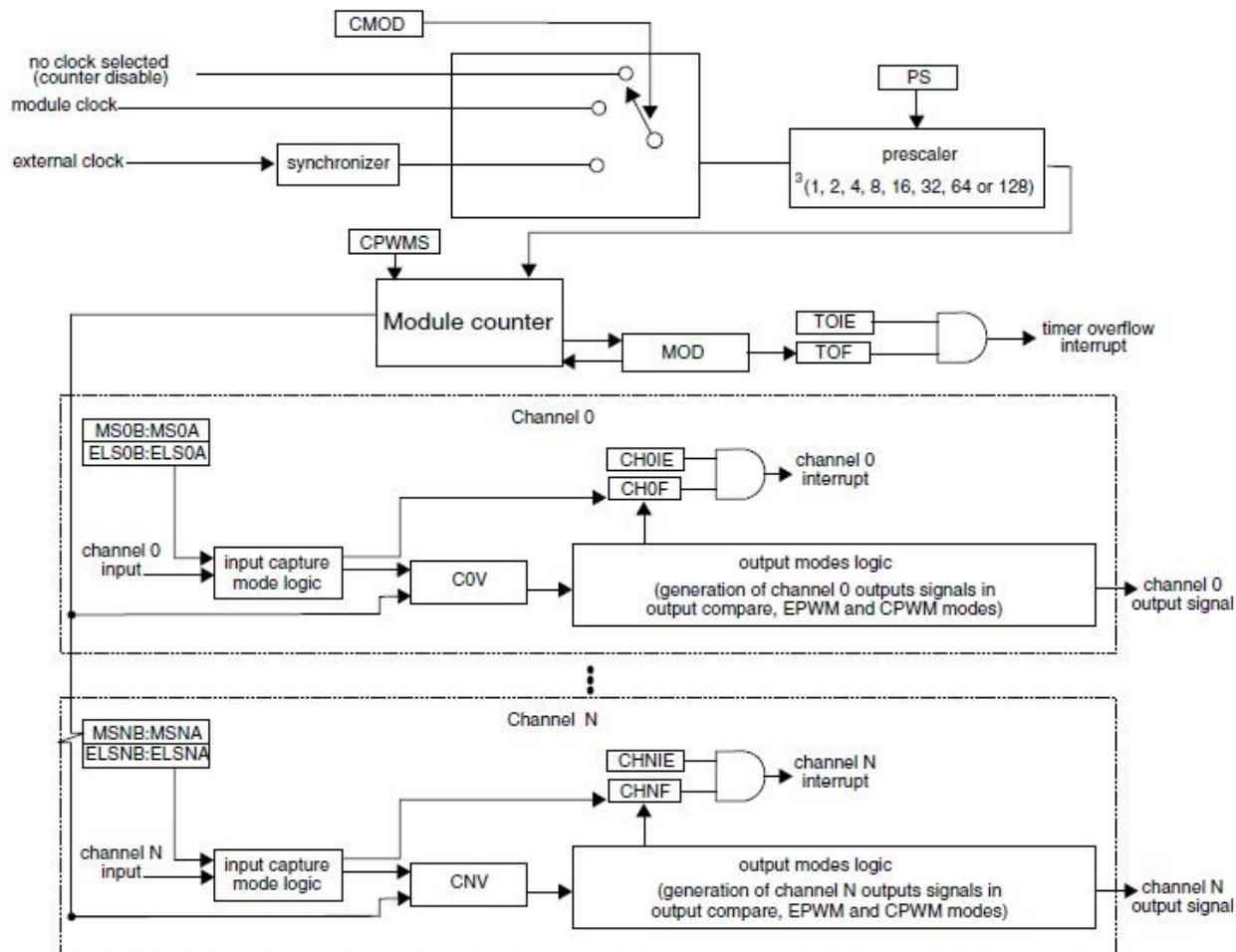


Características de un TPM

- Soporta las interrupciones y/o peticiones del canal DMA, peticiones cuando el contador tiene un desbordamiento en DMA



Estructura del TPM

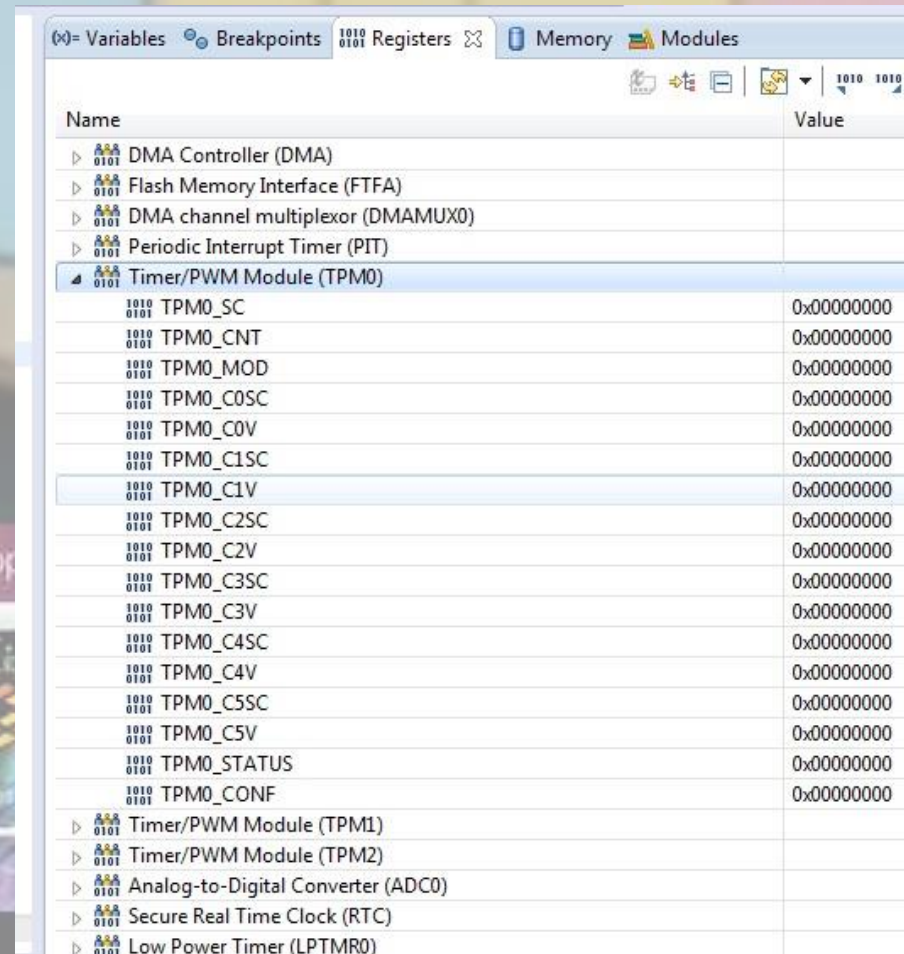


TPM

- TPM_EXTCLK este registro se utiliza al trabajar con un reloj externo (NOTA: EL RELOJ DEBE DE SER MENOS DE LA MITAD DEL RELOJ INTERNO DEL MICRO).
- TPM_CHn Se configura entrada o salida de los canales.



Mapa de memoria y registros definidos



Name		Value
▶ DMA Controller (DMA)		
▶ Flash Memory Interface (FTFA)		
▶ DMA channel multiplexor (DMAMUX0)		
▶ Periodic Interrupt Timer (PIT)		
▶ Timer/PWM Module (TPM0)		
TPM0_SC		0x00000000
TPM0_CNT		0x00000000
TPM0_MOD		0x00000000
TPM0_C0SC		0x00000000
TPM0_C0V		0x00000000
TPM0_C1SC		0x00000000
TPM0_C1V		0x00000000
TPM0_C2SC		0x00000000
TPM0_C2V		0x00000000
TPM0_C3SC		0x00000000
TPM0_C3V		0x00000000
TPM0_C4SC		0x00000000
TPM0_C4V		0x00000000
TPM0_C5SC		0x00000000
TPM0_C5V		0x00000000
TPM0_STATUS		0x00000000
TPM0_CONF		0x00000000
▶ Timer/PWM Module (TPM1)		
▶ Timer/PWM Module (TPM2)		
▶ Analog-to-Digital Converter (ADC0)		
▶ Secure Real Time Clock (RTC)		
▶ Low Power Timer (LPTMR0)		

TPMx_SC

Address: Base address + 0h offset

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	0															
W																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	0							DMA	TOF	TOIE	CPWMS	CMOD	PS			
W									w1c							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

TPMx_SC field descriptions

TPMx_SC

- Bit 8 DMA: Activar la transferencia DMA por el desbordamiento de la bandera.
 - 0 Desactiva la transferencia DMA
 - 1 Activa la transferencia DMA
- Bit 7 TOF: Bandera del desbordamiento del timer. (Se limpia escribiendo un 1 en TOF)
 - 0 no se ha desbordado
 - 1 se desbordo

TPMx_SC

- Bit 6 TOIE Activar la interrupción de desbordamiento.
 - 0 se desactiva cuando la interrupción.
 - 1 se activa la interrupción.
- Bit 5 CPWMS El contador puede ir decrementando. (Este bit esta protegido contra escritura. Para lograr escribir se debe de desactivar primero el contador).
 - 0 Decrementamos
 - 1 Incrementamos

TPMx_SC

- Bit 4-3 CMOD Modo del reloj.
 - 00 Se desactiva
 - 01 Contador incrementa
 - 10 Contador incrementa para cada flanco de subida del reloj externo
 - 11 Reservado



TPMx_SC

- Bit 2-0 PS Seleccionar la prescala
 - 000 Divide entre 1
 - 001 Divide entre 2
 - 010 Divide entre 4
 - 011 Divide entre 8
 - 100 Divide entre 16
 - 101 Divide entre 32
 - 110 Divide entre 64
 - 111 Divide entre 128



TPMx_CNT

- Este registro cuenta con el contador el cual se puede limpiar agregando o escribiendo cualquier valor en COUNT.

CodeWarrior Development Studio

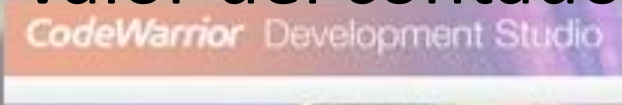
Address: Base address + 4h offset

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	0																COUNT															
W																																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	

TPMx_CNT field descriptions

TPMx_MOD

- El registro contiene el MODULO el cual es el valor que alcanzará el LPTMP. Cuando el contador alcance el valor del modulo y incremente, se activara TOF y el siguiente valor del contador dependera del metodo.



Address: Base address + 8h offset

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	0																MOD															
W																																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	

TPMx_MOD field descriptions

TPMx_CnSC

Address: Base address + Ch offset + (8d × i), where i=0d to 5d

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	0															
W																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	0								CHF						0	
W									w1c	CHIE	MSB	MSA	ELSB	ELSA		DMA
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit 7 Bandera del canal.
 0 No ha ocurrido evento
 1 Ocurrio evento

TPMx_CnSC

Address: Base address + Ch offset + (8d × i), where i=0d to 5d

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	0															
W																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	0								CHF						0	
W									w1c	CHIE	MSB	MSA	ELSB	ELSA		DMA
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

- Bit 6 Activa las interrupciones del canal.
 - 0 Desactiva las interrupciones del canal
 - 1 Activa las interrupciones del canal

TPMx_CnSC

Address: Base address + Ch offset + (8d × i), where i=0d to 5d

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	0															
W																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	0								CHF						0	
W									w1c	CHIE	MSB	MSA	ELSB	ELSA		DMA
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

- Bit 5 Activa las interrupciones del canal.
 - 0 Desactiva las interrupciones del canal
 - 1 Activa las interrupciones del canal

TPMx_CnV

- Este registro contiene el valor del contador por los modos de entrada o la de salida.

Address: Base address + 10h offset + (8d × i), where i=0d to 5d

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	0																VAL															
W																																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

TPMx_STATUS

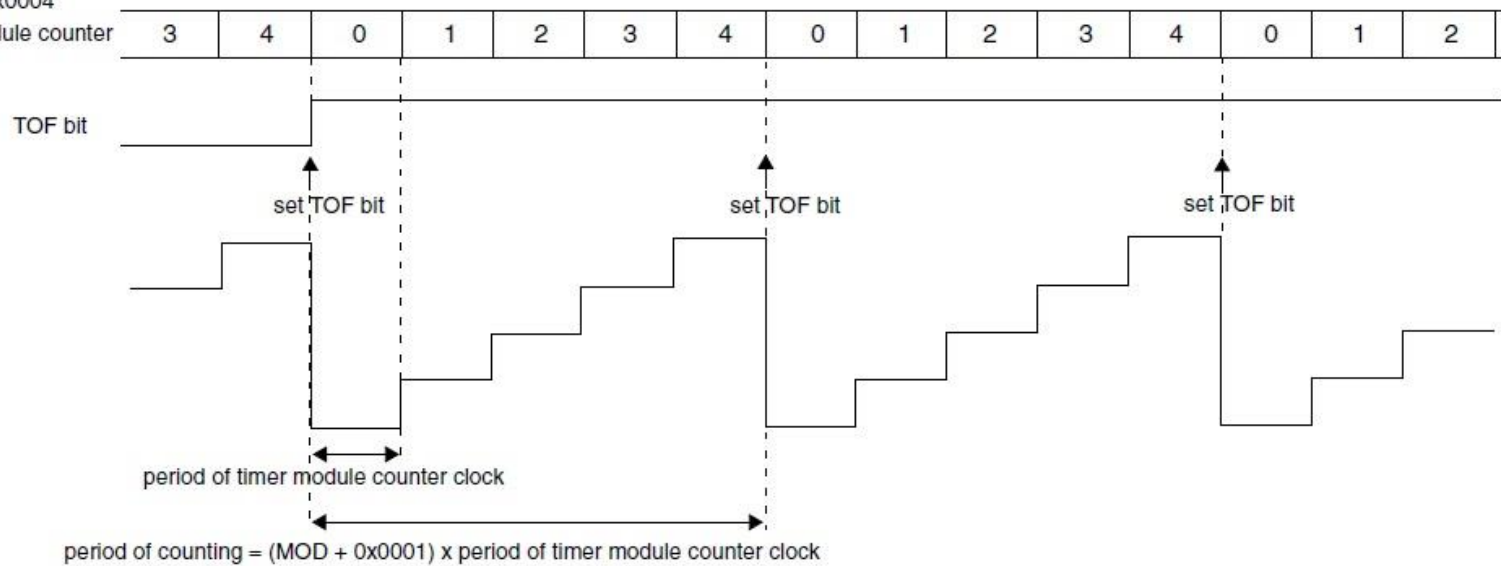
- El registro STATUS contienen una copia del registro TOF, y CHnF

[illegible]

Ejemplo timer up

MOD = 0x0004

timer module counter



Ejm Timer up-down

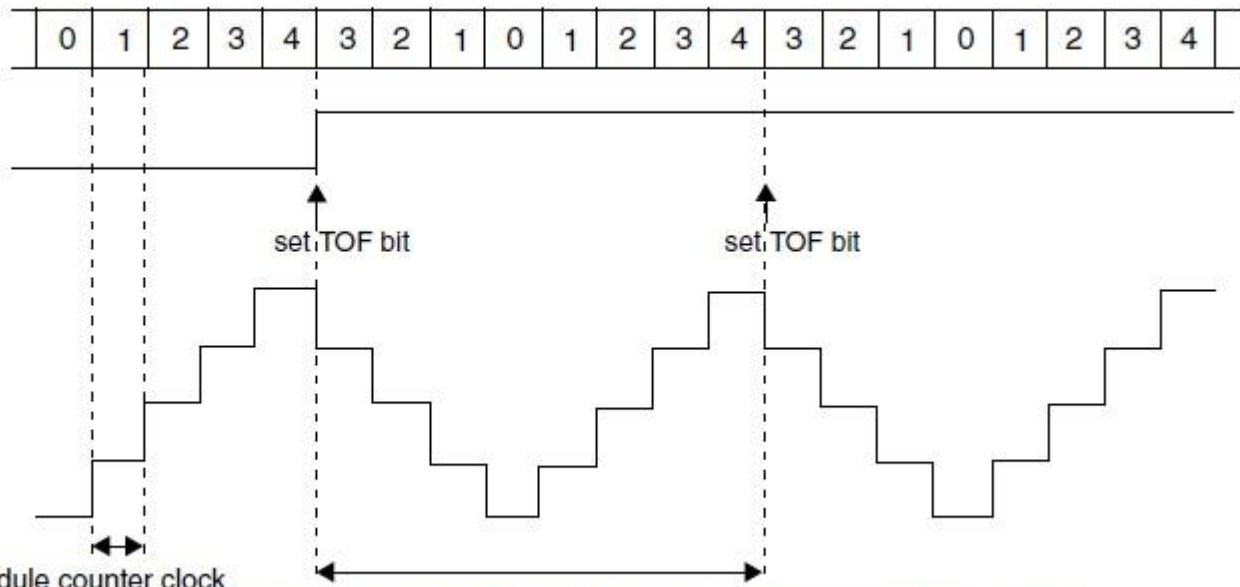
MOD = 0x0004

Timer module counter

TOF bit

period of timer module counter clock

period of counting = 2 x MOD x period of timer module counter clock



TIMERS



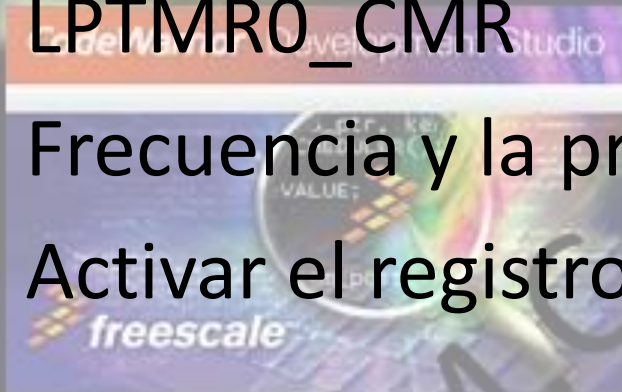
Características

- Un bus de 16bits con comparación. (FFFF/65535).
- Pre-escala.
- Configuración para pulsos externos.



Pasos para configurar

- Activar el reloj en el registro SIM_SCGC5
- Resetear el registro o banderas del registro LPTMRO_CSR
- Activar el valor al que se desea comparar LPTMRO_CMR
- Frecuencia y la prescala (LPTMRO_PSR)
- Activar el registro LPTMRO_CSR



LPTMRx_CMR

- Compara el timer en este registro

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	0																COMPARE															
W																																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0



LPTMRx_CNR

- El timer inicia su conteo.

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	0																COUNTER															
W																																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	



LPTMRx_PSR

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	0															
W																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	0								PRESCALE				PBYP		PCS	
W																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0



Prescale

- Se utiliza sólo cuando el LPTMR esta desactivado.



• Prescale Value

- 0000 Prescaler divides the prescaler clock by 2
- 0001 Prescaler divides the prescaler clock by 4
- 0010 Prescaler divides the prescaler clock by 8
- 0011 Prescaler divides the prescaler clock by 16.
- 0100 Prescaler divides the prescaler clock by 32.
- 0101 Prescaler divides the prescaler clock by 64.
- 0110 Prescaler divides the prescaler clock by 128.
- 0111 Prescaler divides the prescaler clock by 256.
- 1000 Prescaler divides the prescaler clock by 512.
- 1001 Prescaler divides the prescaler clock by 1024.
- 1010 Prescaler divides the prescaler clock by 2048.
- 1011 Prescaler divides the prescaler clock by 4096.
- 1100 Prescaler divides the prescaler clock by 8192.
- 1101 Prescaler divides the prescaler clock by 16,384.
- 1110 Prescaler divides the prescaler clock by 32,768.
- 1111 Prescaler divides the prescaler clock by 65,536

LPTMRx_PSR

- PBYP: es un cero se utiliza la preescala seleccionada
- PCS Se identifica a la frecuencia del reloj
 - 01 1Khz
 - 10 32Khz
 - 11 Generador externo



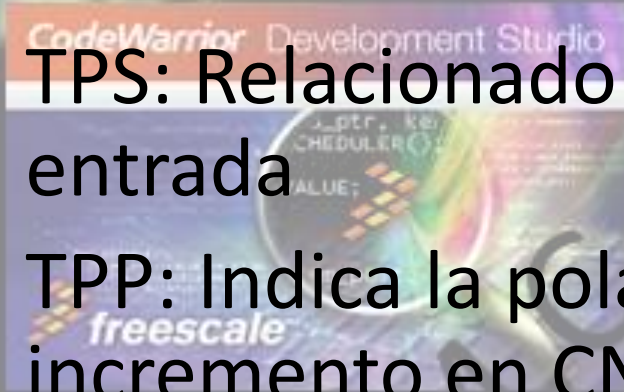
LPTMRx_CSR

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	0															
W																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	0								TCF	TIE	TPS		TPP	TFC	TMS	TEN
W									w1c							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0



LPTMRx_CSR

- TCF: Este bit o bandera se activa cuando $CNR=CMR$
- TIE: Activa para las interrupciones del TIMER
 - 0 Desactivado
 - 1 Activado
- TPS: Relacionado cuando se usa botón de entrada
- TPP: Indica la polaridad del botón para su incremento en CNR high/low-0/1



LPTMRx_CSR

- TFC: El timer corre fluido (**OJO NO LÍMPIA LA BANDERA DEL DESBORDE**)
 - 0 el CNR se resetea al existir un 1 en TCF (bandera del desbordamiento)
 - -1 el CNR se resetea por si sólo.
- TMS: Inicia el timer a contar
 - 0 Modo timer
 - 1 Modo pulso
- TENescale
 - 0 Resetea el timer
 - 1 Activa el timer



¿Qué pasa si $CNR=CMR$?

- Los eventos que suceden son los siguientes:
 - La bandera TCF del registro CSR se activa.
 - La interrupción del LPTMR se genera si es que la bandera TIE está activada.
 - El CNR se limpia si el TFC está en cero.



Subrutinas

- Se definen de dos formas:
 - Procedimiento: No regresa ningun valor
 - Función: Regresa un valor.



ADC



Características

- Una resolución
- Soporta 3.3V



Registros usados en el ADC

- SIM_SCGC6: Activa el ADC.
- ADC0_SC1A: Se verifica si ya se realizo la conversión, en la bandera COCO y la configuración del bit para leer el voltaje.
- ADCx_Rn: se almacena el valor convertido



SIM_SCGC6

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	DAC0	0	RTC	0	ADC0	TPM2	TPM1	TPM0	PIT	0						
W																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

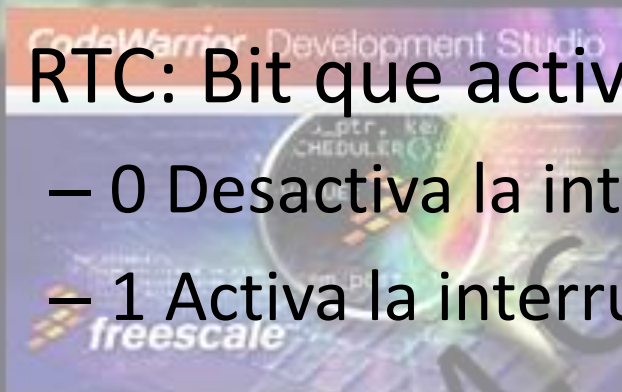
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
R	0	0														DMAMUX	FTF
W																	
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	



Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	DAC0	0	RTC	0	ADC0	TPM2	TPM1	TPM0	PIT	0						
W																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

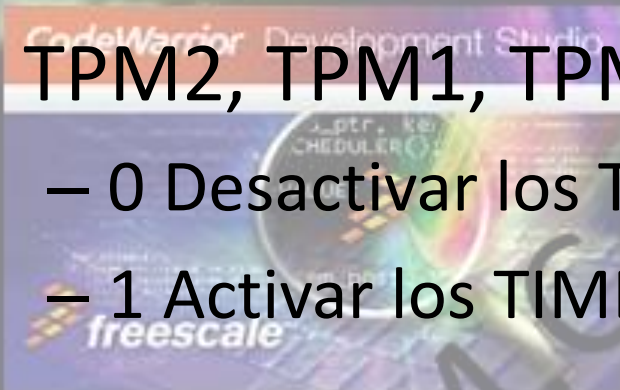
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	0	0														
W															DMAMUX	FTF
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

- DAC0: Es el bit para activar el DAC.
 - 0 desactivar el reloj del DAC
 - 1 activar el reloj del DAC
- RTC: Bit que activa la interrupción del timer.
 - 0 Desactiva la interrupción
 - 1 Activa la interrupción



Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	DAC0	0	RTC	0	ADC0	TPM2	TPM1	TPM0	PIT	0						
W																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	0	0														
W															DMAMUX	FTF
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

- ADC0: Es el bit para activar el reloj del ADC
 - 0 Desactivar el reloj del ADC
 - 1 Activar el reloj del ADC
- TPM2, TPM1, TPM0: Activar los timer.
 - 0 Desactivar los TIMER
 - 1 Activar los TIMER



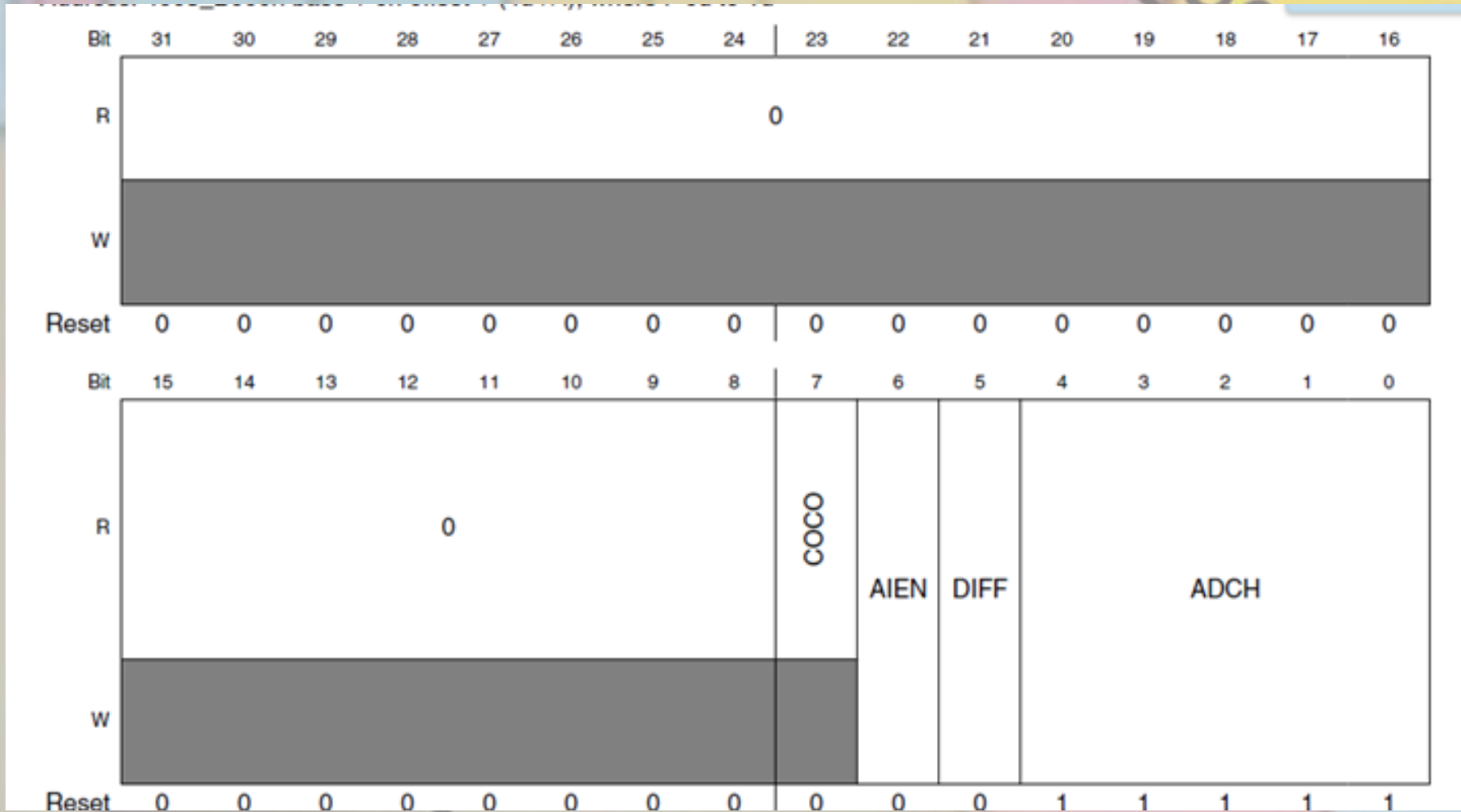
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	DAC0	0	RTC	0	ADC0	TPM2	TPM1	TPM0	PIT	0						
W																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

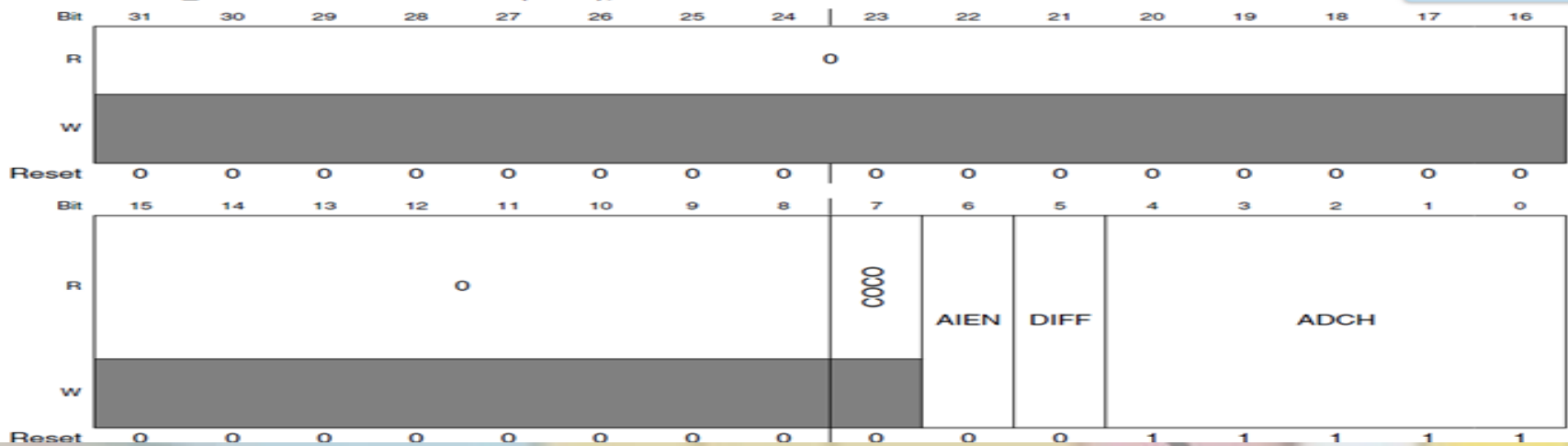
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	0	0														DMAMUX
W																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

- FTF: Bit para la memoria flash
 - 0 Desactivar el reloj del FLASH
 - 1 Activa el reloj para FLASH

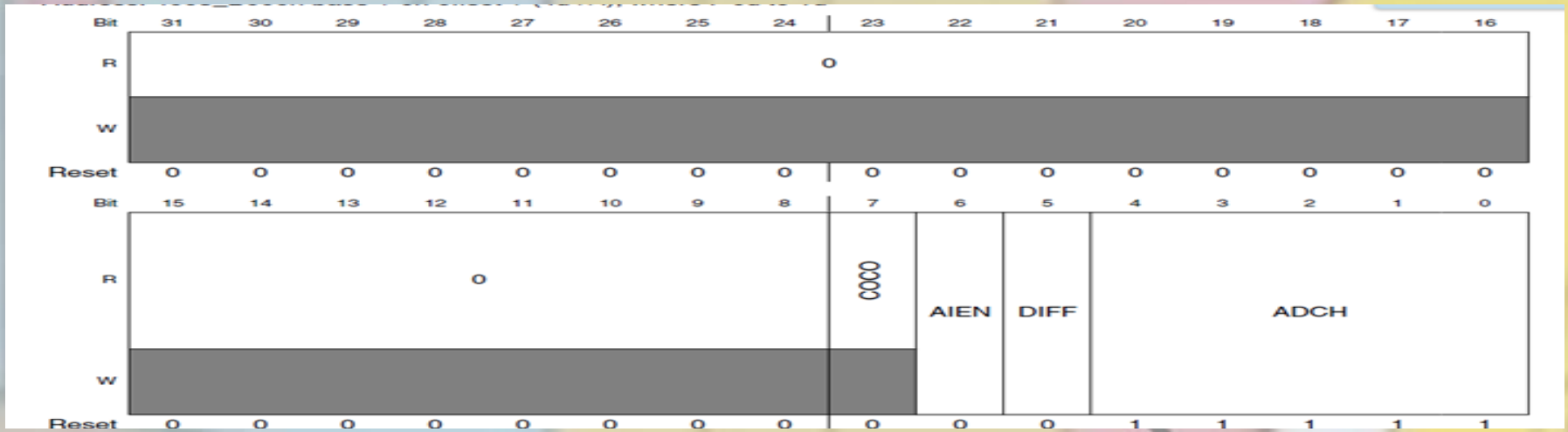


ADCx_SC1n





- COCO: Bit que indica que termino la conversión.
 - 0 Conversión no terminada.
 - 1 Conversión terminada.
- AIEN: Bit en el cual se activa la interrupción de la conversión.
 - 0 Desactivar la interrupción.
 - 1 Activar la interrupción.



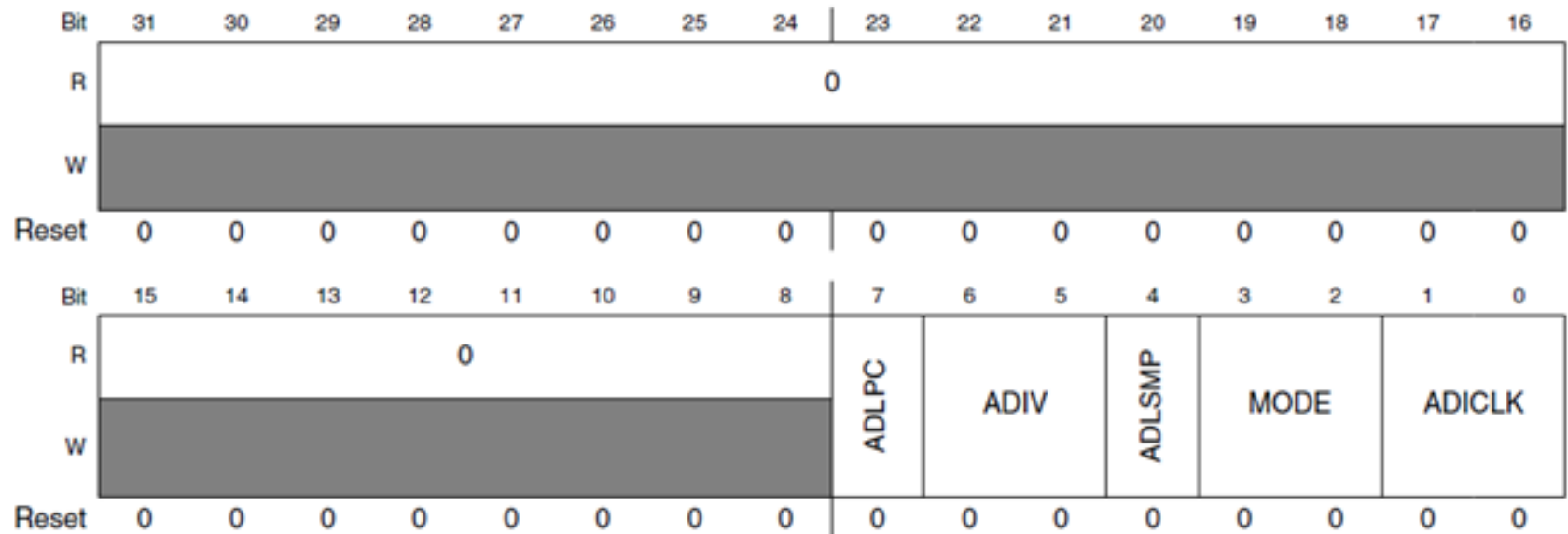
- DIEF: Se activa en modo diferencial seleccionando las entradas.
 - 0 No se activa el modo
 - 1 Activa el modo diferencial
- ADCH: Se selecciona el canal de entrada
 - 8=PTB0
 - 9=PTB1
 - 4=PTE20

ADCx_CFG1

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	0															
W																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	0								ADLPC	ADIV		ADLSMP	MODE		ADICLK	
W																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0





- **MODE:** Es para que el ADC tenga una mayor resolución.
 - 00 Resolución de 8 bits
 - 01 Resolución de 12 bits
 - 10 Resolución a 10 bits
 - 11 Resolución de 16 bits

ADCx_Rn

- Es el resgistro que guarda el valor convertido.

